

Original Abstract: To provide for efficient use of computer microcodes, a firmware structure containing a mainline programmable logic array circuit and at least one subroutine programmable logic array circuit may be used. As the states of the mainline programmable logic array circuit are sequenced, the data bits representing the encode number field in its OR array are compared with the data bits representing the encode number field of the AND array of the subroutine programmable logic array circuit. If a match is made, the mainline programmable logic array circuit suspends its operation and sequencing of the subroutine programmable logic array circuit begins, in order to perform the function required. Upon completion of the function, control is automatically transferred from the subroutine programmable logic array circuit back to the mainline programmable logic array circuit, at the point where it was suspended. By nesting a plurality of subroutine programmable logic array circuits, a plurality of functions, many of which may be performed simultaneously, can take place.

?

1/3/1

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2006 EPO. All rts. reserv.

9380925

Basic Patent (No,Kind,Date): CA 2006243 AA 19900712 <No. of Patents: 008>

MICROCODE CONTROL APPARATUS UTILIZING PROGRAMMABLE LOGIC ARRAY CIRCUITS (English; French)

Patent Assignee: IBM (US)

Author (Inventor): CONCHA FERNANDO (US); LOFFREDO JOHN M (US)

National Class: *D235402307 M;

IPC: *G06F-009/22;

Derwent WPI Acc No: *G 90-218408;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CA 2006243	AA	19900712	CA 2006243	A	19891220 (BASIC)
CA 2006243	C	19940315	CA 2006243	A	19891220
DE 68926851	C0	19960822	DE 68926851	A	19891213
EP 377976	A2	19900718	EP 89313061	A	19891213
EP 377976	A3	19930127	EP 89313061	A	19891213
EP 377976	B1	19960717	EP 89313061	A	19891213
→ JP 2226423	A2	19900910	JP 89328607	A	19891220
US 5043879	A	19910827	US 296168	A	19890112

Priority Data (No,Kind,Date):

US 296168 A 19890112

?

⑫ 公開特許公報(A) 平2-226423

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月10日

G 06 F 9/22

3 1 0 A

7361-5B

審査請求 有 請求項の数 1 (全10頁)

⑭ 発明の名称 マイクロコード制御装置

⑰ 特 願 平1-328607

⑱ 出 願 平1(1989)12月20日

優先権主張 ⑲ 1989年1月12日 ⑳ 米国(US) ㉑ 296168

⑳ 発 明 者 フェルナンド・コンチ アメリカ合衆国フロリダ州ボカ・ラトン、サドレブロッ
ヤ ク・ドライブ9604番地

㉒ 発 明 者 ジョン・マリオ・ロツ アメリカ合衆国フロリダ州デイルフィールド・ビー
フレード チ、サウス・ウエスト・フォーティーンズ・ドライブ2694
番地

㉓ 出 願 人 インターナショナル・ アメリカ合衆国10504、ニューヨーク州アーモンク(番地
ビジネス・マシーン なし)
ズ・コーポレーション

㉔ 代 理 人 弁理士 頓宮 孝一 外1名

明 細 書

1. 発明の名称 マイクロコード制御装置

2. 特許請求の範囲

マイクロコードを用いてプロセッサ命令を実行するデータ・プロセッサにおいて、

プロセッサ命令のOPコードに従って選択される複数の状態を含む第1区画、及び該複数の状態に対応する複数のデータのデータ・ビットを含む第2区画を有するプログラム可能論理アレイと、

複数の状態を含み、前記第2区画から1組のデータ・ビットを受取る入力区画、及び該入力区画の複数の状態に対応する複数のデータのデータ・ビットを含む出力区画を有する少なくとも1つの別のプログラム可能論理アレイと、

各プログラム可能論理アレイの状態をそれぞれ独立して増分するための増分手段とを具備し、

前記第1区画の状態の1つがOPコードによって選択された時に前記第2区画中の対応するデータ・ビットの組が読出されて前記入力区画へ供給

され、それに応答して前記プロセッサ命令を実行するための制御信号を前記出力区画から発生するようにしたことを特徴とするマイクロコード制御装置。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は、マイクロプログラム式のデータ・プロセッサ及びデジタル計算機において、一連のマイクロワードを用いて各プロセッサ命令の実行を制御するマイクロコード制御装置に係る。

B. 従来の技術とその課題

マイクロプログラム式データ・プロセッサは、ユーザのソフトウェア・プログラムからのプロセッサ命令を実行するため、内部記憶装置からマイクロワードないしマイクロ命令を読取って、制御レジスタに書き込む。各マイクロワードは複数の2進ビットから成り、その幾つか又はすべてのビットは複数の制御グループないしフィールドを構成している。制御レジスタは、データ・プロセッサ内部の種々のデータフロー・レート及びデータ操

作機構を制御する制御点信号を供給する。各マイクロワードは、データ・プロセッサの内部動作を1マイクロワード・サイクルの間制御する。一般に、各プロセッサ命令を実行するためには複数のマイクロワードが必要であり、その数は命令によって異なる。

マイクロワードは、制御記憶装置と呼ばれる別個の記憶装置或いはプロセッサのメイン・メモリ中のマイクロワード専用の領域に記憶される。制御記憶装置には書き込み可能なものと読取り専用のものとがある。

制御記憶装置及びそのアドレス回路を、シーケンス・カウンタと共に働くプログラム可能論理アレイ(PLA)で構成することもできる。PLAは、プロセッサ命令のOPコード及びシーケンス・カウンタからの特定のシーケンス・カウントにより駆動され、その出力に特定のマイクロワードが発生する。このようなPLA及びシーケンス・カウンタの組合せは、通常の記憶装置に比べて、データ・プロセッサ内部で占める場所が小さくてす

む。あるマイクロコードについて何回かの繰返しが必要な場合は、マイクロコード・ループの数をカウントしてそれが所定の値に達した時にループを終らせるための固定容量のループ・カウンタを必要とする。マイクロコード・ループの数が異なる様々なタイプのプロセッサ命令があると、それに応じて必要な固定容量ループ・カウンタの数も変わってくるので、その分データ・プロセッサの負担が増える。

米国特許第4556938号明細書は、実行すべき様々なプロセッサ命令に応じて所望の初期カウンタ値をロードできるプログラム可能なループ・カウンタを開示している。それによれば、2以上の異なったプロセッサに対してマイクロコードのルーピングを行う場合に必要の回路量を減らすことはできるが、そのようなループ・カウンタと協働するPLAは一時に1つのマイクロワードしか発生できない。言い換えれば、もしある命令が所与の動作をX回繰返しして実行することを要求していると、PLAはそれに答えるために、その動作

の前(又は後)のすべてのオペレーションを同じX回だけ繰返す必要がある。実際、それらのオペレーションの幾つかが不要であるにしても、プロセッサの貴重な時間をとることは事実である。これは必然的に計算機マイクロコードの非効率的な処理につながり、その結果、各ジョブを実行するための積項(マイクロコードのライン)の数が不必要に多くなってしまふ。

第2図を参照しながら、従来のデータ・プロセッサについてもう少し詳しく説明する。

図示のデータ・プロセッサ2は、データフロー装置4、メインメモリ6、入出力(I/O)装置8及び制御装置10を含む。データフロー装置4は一般に中央演算処理装置(CPU)と呼ばれるもので、ALU、種々のハードウェア・レジスタ、記憶装置、及び異なった装置を相互接続してそれらの間のデータ移動を制御するバス・システムを含んでいる。基本的に、データフロー装置4はデータを実際に操作して、所望の結果を生成する。データフロー装置4はバス12及び14を介して

メインメモリ6及びI/O装置8にそれぞれ接続されており、それらとの間で情報をやりとりする。

実行すべき命令を含むユーザ・プログラムはメインメモリ6にロードされる。ユーザ・プログラムに含まれるプロセッサ命令は一時に1つずつ順にメインメモリ6からデータフロー装置4へ読出される。図示のように、データフロー装置4は複数ビットの命令レジスタ16及び汎用レジスタ18を含む。命令レジスタ16は実行すべき各プロセッサ命令を記憶する。命令レジスタ16には命令の一部だけがロードされることもあるが、その場合命令のフォーマットが如何なるものであっても、ロードされる部分にはOPコードが含まれている。OPコードは、データ・プロセッサ2が実行するオペレーションの種類を一意的に定義するのに必要なすべてのビットを意味する。

汎用レジスタ18は、計算されたデータ値、アドレス値等を一時記憶するもので、図には1つしか示していないが、実際には複数の汎用レジスタが設けられている。

データフロー装置4、メインメモリ6及びI/O装置8を制御する制御装置10は、クロック20、PLA22、シーケンス・カウンタ24及び制御レジスタ26を有する。制御装置10はこの他にも多くのコンポーネントを含んでいるが、それらは本発明とは無関係であるため、図には示していない。

制御装置10は、PLA22及びシーケンス・カウンタ24を使用するマイクロプログラム式の装置である。周知のように、PLAは固定された規則的な構造を有する論理回路であって、特定の論理式を実現するよう個性化される。一般に、PLAは入力ANDアレイ（入力区画）及びそれに多数の積項（マイクロコードのライン）によって接続された出力ORアレイ（出力区画）を含む。PLAの構造は、スタティックであれダイナミックであれ、すべて単一の集積回路チップに形成される。ここでは、PLA22はスタティック型であるとする。

シーケンス・カウンタ24は複数ビットの2進

マイクロ命令とも言う。実行すべき機能は、各PLA毎に予め決めておくことができる。図2図には示していないが、バス30からのOPコードはPLA22のANDアレイへ供給され、その出力はPLA22のORアレイからバス32を介して制御レジスタ26へ供給される。

制御レジスタ26は、バス32から受取った出力信号を制御点信号として種々のコンポーネントへ送る。実際には、制御レジスタ26が出力するのはマイクロワードであるが、ここでは制御レジスタ26の出力を、特定の機能を実行するための制御点信号として考える。

PLA22は、1つのOPコードに回答して一連のマイクロワードすなわちマイクロワード・シーケンスを発生する。各マイクロワードは、シーケンス・カウンタ24からのタイミングに従って1つずつ順に発生される。その場合、特定のオペレーションでシーケンス中の一部のマイクロワードが不要であっても、マイクロワード・シーケンス全体が発生される。更に、その特定のオペレ

カウンタであり、PLA22の状態（アドレス）を増分するための2進信号をバス28を介してPLA22へ供給する。各コンポーネントのタイミングはクロック20により制御されるが、簡単のため、クロック線の接続は図示していない。制御レジスタ26は複数ビットのレジスタであって、PLA22からの出力すなわちマイクロワードを受取って解説し、対応する信号をそれぞれのコンポーネントへ供給する。普通、マイクロワードの解説にはデコーダが必要であるが、これも簡単のため、第2図には示していない。

プロセッサ命令がメインメモリ6から命令レジスタ16へロードされた時、そのOPコードはバス30を介してPLA22へ送られる。PLA22は、バス30上のOPコード及びシーケンス・カウンタ24からバス28へ出力される特定のシーケンス・カウントに回答して、複数ビットの特定のマイクロワードを出力する。このマイクロワードは、それ自体で又は他の制御信号と共に、特定の機能を実行するために使用されるもので、マ

シジョンを繰返さなければならない場合、同じOPコードを繰返しPLA22へ供給することになる。従って、異なったオペレーションを実行するのに必要なPLAのサイズは大きいままである。また、PLA22に必要なマイクロワードの数を減らすための繰返し回路等が既に制御装置10で使用されているにしても、このようなオペレーションは極めて効率が悪い。

C. 課題を解決するための手段

本発明は、ファームウェア・サブルーチン機構を効果的にデータ・プロセッサに組込めるようにPLAを構成することによって、計算機マイクロコードの効率的な使用を可能にする。このPLAを以下「メインラインPLA」と呼ぶ。

メインラインPLAは、サブルーチンPLAを制御する際に、複数のデータ・ビットから成る符号化された数をその出力区画（ORアレイ）から目的とするサブルーチンPLAの入力区画（ANDアレイ）へ供給する。アドレスされたサブルーチンPLAは、メインラインPLAからの符号化

数データ・ビットと、その符号化数フィールドにある所与のデータ・ビットとが一致すると動作可能になる。その時メインラインPLAは休止状態に入り（ただし制御点信号は依然として出力し続ける）、一方アドレスされたサブルーチンPLAの状態（すなわちアドレス）は、予めプログラムされている動作を実行するよう増分される。このサブルーチンPLAは、対応するシーケンス・カウンタによって、これ以上の動作が不要であること（或いは動作が終了したこと）を示す状態へ増分されるまで、実行を続け、必要な制御点を出力する。そのような状態へ増分されると、サブルーチンPLAは、メインラインPLAの増分を自動的に再開させるためのデータ・ビットをメインラインPLAへ送る。増分が再開されると、メインラインPLAは別のサブルーチンPLAをアドレスできるようになる。これらのサブルーチンPLAは、メインラインPLAに対して相対的に異なったレベルに位置づけることができる。また、レベルの異なった複数のサブルーチンPLAに対し

34は、そのORアレイから線42及びORゲート43を介してシーケンス・カウンタ38へ供給される制御ビットが増分を示していると増分される。メインラインPLA34はサブルーチンPLA36からの制御ビットによっても増分される。後者の制御ビットは、サブルーチンPLA36のORアレイから線44及びORゲート43を介してシーケンス・カウンタ38へ供給される。

サブルーチンPLA36は、そのORアレイから線46を介してシーケンス・カウンタ40へ供給される制御ビットにより増分される。また、メインラインPLA34のORアレイからバス48へ出力される複数ビットの符号化数もサブルーチンPLA36をアドレスするのに用いられる。各PLAのORアレイはCPで示される付加的な出力を有する。CPは所与のOPコードに関連する特定の機能を実行するための制御点を与える出力信号である。そのようなOPコードは、線50からメインラインPLA34のANDアレイへ入力され、シーケンス・カウンタ38からのシーケ

ンス・カウントと共に、特定の状態（アドレス）を指定する。サブルーチンPLA36のORアレイには、点線で示したバス52を別の出力用に設けることも可能である。このバス52は、例えば他のサブルーチンPLA（図示せず）への符号化数を表わすデータ・ビットを供給するのに用いることができる。1つのサブルーチンPLAを別のサブルーチンPLAに接続するこのような入れ子構造については後で説明する。

D. 実施例

本発明の実施例を第1図に示す。本発明は、従来技術における効率の悪さ及び大きなサイズのPLAといった問題を解決するため、図示のように、単一のPLAではなくて、複数のPLAを使用する。その1つはメインラインPLA34であり、それに少なくとも1つのPLA（例えばサブルーチンPLA）36が相互接続されている。各PLAはANDアレイ及びORアレイを有する。シーケンス・カウンタ（SEQ CT）はPLA毎に設けられる。すなわち、シーケンス・カウンタ38はPLA34用であり、シーケンス・カウンタ40はPLA36用である。メインラインPLA

34は、そのORアレイから線42及びORゲート43を介してシーケンス・カウンタ38へ供給される制御ビットが増分を示していると増分される。メインラインPLA34はサブルーチンPLA36からの制御ビットによっても増分される。後者の制御ビットは、サブルーチンPLA36のORアレイから線44及びORゲート43を介してシーケンス・カウンタ38へ供給される。

第1図の実施例によれば、異なったオペレーションを実行するための自動分岐を同じOPコードで行うことができる。例えば、従来同じPLAによって順次行われていたように、もし1つのOPコードが（対応する機能のための）異なったマイクロワードのシーケンスを発生させるのであれば、本発明は各マイクロワードを個々に発生させるために単一のPLAを用いることができる。そして対応する機能が実行されると、サブルーチンPLAからメインラインPLAへの戻り分岐が自動的に行われる。従って、サブルーチンPLAを繰返

し用いることによって同じ機能を実行することができる。その際、各機能が終る度に、当該機能の実行を要求したプロセッサ命令の部分への戻り分岐を自動的に行うことができる。これは、特別のハードウェアを用いることなく、或いは同じプロセッサ命令を繰返し実行することなく行える。第1図の実施例は事実上ファームウェアによるサブルーチン処理を実行するものである。通常の回路或いは読取り専用記憶装置(ROS)を用いたサブルーチン処理では、電力消費及び金物量が共に多くなり、本発明に比べて高くつく。

PLA構造における実際のサブルーチン機構を第3図に示す。図示のように、メインラインPLA34のORアレイは、バス48を介してサブルーチンPLA36のANDアレイへ送られる2ビットの符号化数を含む。本実施例では、符号化数フィールドは2ビットしかないが、これは必要に応じて拡張することができる。第3図において、54はメインラインPLA34のORアレイにある符号化数フィールドを示し、56はサブルーチン

PLA36のANDアレイにある符号化数フィールドを示す。

PLA34及び36のそれぞれのシーケンス・カウンタ38及び40は、関連するANDアレイ中の3ビットだけを増分するようになっているが、上記の符号化数フィールドと同じく、このビット数も増やすことができる。

さて、メインラインPLA34に注目すると、そのANDアレイ中には複数の状態(ROSの場合のアドレスと同じと考えてよい)がある。説明を簡単にするため、ANDアレイの左側に示すように、それぞれの状態を、状態0、状態1、状態2のように呼ぶことにする。各状態は1組のデータ・ビットを含む。例えば、状態0は000で表わされ、状態2は010で表わされる。ANDアレイにおける各状態は対応する1組のデータ・ビットをORアレイ中に持っている。この1組のデータ・ビットは、第3図の実施例では、符号化数を表わす2ビットと、線42を介してシーケンス・カウンタ38へ出力される1つの増分ビットとを

含んでいる。従って、例えば状態0はメインラインPLA34のORアレイで001として表わされる。

メインラインPLA34のORアレイには3つのデータ・ビットしか示していないが、実際には特定の機能を実行するための制御点CPを発生するのに必要な他のデータ・ビットも含まれている。

サブルーチンPLA36のANDアレイの各状態は、シーケンス・カウントを表わすデータ・ビットの他に、サブルーチンPLA36のための符号化数を表わすデータ・ビットを有する。メインラインPLA34のORアレイにおける符号化数フィールドが2ビットのため、サブルーチン36の符号化数を表わすデータ・ビットも2ビットに制限される。第3図の実施例では、サブルーチンPLA36は10のデータ・ビットによって表わされる符号化数を有する。このように、サブルーチンPLA36のANDアレイ中に含まれる各状態は5つのデータ・ビットによって表わされ、状態0は10000で表され、状態2は10010

で表わされる。サブルーチンPLA36でも、そのANDアレイ中の各組のデータ・ビットは対応する1組のデータ・ビットをORアレイに持っている。第3図の実施例では、サブルーチンPLA36のORアレイに含まれる各組のデータ・ビットは2ビットだけである。その一方のビットはメインラインPLA34を増分するのに用いられ、他方のビットはサブルーチンPLA36を増分するのに用いられる。メインラインPLA34のORアレイと同じく、サブルーチンPLA36のORアレイも特定の機能を実行するための複数の制御点(図示せず)を有する。

次に、第3図の実施例の動作を説明する。まず、シーケンス・カウンタ38及び40は000(すなわち初期状態)にリセットされており、OPコード(第3図には示していない)は要求する機能の実行のために図示のシーケンスを選択したとする。メインラインPLA34が状態0及び状態1の間は、そのORアレイから線42へ1の値を有する増分ビットが出力されるため、シーケンス・

カウンタ38が1ずつ増分されるが、その時の符号化数フィールド54の内容はいずれも00のため、サブルーチンPLA36は非活動のままである。ところが、メインラインPLA34が状態2(010)へ増分された時の符号化数フィールド54は、サブルーチンPLA36のANDアレイ中の符号化数フィールド56にあるデータ・ビットの値に対応する1組のデータ・ビット(10)を有する。かくしてサブルーチンPLA36が活動化される。その時メインラインPLA34のORアレイから線42へ出力される増分ビットの値は0であるが、これはメインラインPLA34の動作の効果的な凍結ないし休止を示す。すなわち、サブルーチンPLA36が動作を引き継ぐ時、メインラインPLA34は状態2で休止される。ただし、メインラインPLA34が休止されるとは言っても、状態2のための制御点を表わすデータ・ビットは依然としてそのORアレイから出力される。

サブルーチンPLA36の符号化数フィールド

LA36からメインラインPLA34への戻り分岐が行われたことになる。この時、サブルーチンPLA36のシーケンス・カウンタ40は次のサブルーチン呼出しに備えて0にリセットすることができる。或いは、次にどのような機能が要求されるかに応じて、シーケンス・カウンタ40をそのままに保つか、又は他の状態にセットすることも可能である。

メインラインPLA34が動作を再開すると、今までとは異なった状態が指定されるので、サブルーチンPLA36とは別のサブルーチンPLAがアドレスされることもある。その例を第4図に示す。メインラインPLA34は種々のレベルにあるサブルーチンPLAと相互接続される。第4図では、各レベルに2つのサブルーチンPLAしか示していないが、もっと多くのサブルーチンPLAをそれぞれのレベルに割当てることが可能である。

以下の条件に従う限り、或るレベルから次のレベルへと異なったPLAを無限に入れ子にするこ

の値が、メインラインPLA34の状態2(010)の時の符号化数フィールドの値と一致すれば、1の値を有するシーケンス・カウンタ制御点が線46を介してシーケンス・カウンタ40へ供給されるので、サブルーチンPLA36の増分が開始される。第3図の実施例では、サブルーチンPLA36は状態0から状態3まで進むが、勿論その間は、特定の機能を実行するための制御点信号CPをORアレイから発生している。

サブルーチンPLA36が状態3、すなわち10011を含む位置まで増分されると、シーケンス・カウンタ40の増分を表わすデータ・ビット(線46)が0になり、それと同時にシーケンス・カウンタ38の増分を表わすデータ・ビット(線44)が1になる。その結果、シーケンス・カウンタ38が活動化されて、メインラインPLA34を状態2(010)から状態3(011)へ進ませる。状態3における符号化数フィールドの値は00であるから、サブルーチンPLA36は最早アドレスされない。かくして、サブルーチンP

とができる。その条件とは、各PLAが自身の対応するシーケンス・カウンタを持っていること、各PLAが対応するシーケンス・カウンタを増分するための制御点をそのORアレイに持つと共に、当該PLAを活動化したPLAのシーケンス・カウンタを増分するための制御点も持っていること、及び各PLAがそのORアレイ中に符号化数フィールドを持っていて、その中のデータ・ビットが該データ・ビットを受取るPLAの符号化数フィールド中のデータ・ビットと一致した時に、そのPLAが動作可能になること、である。

第4図の実施例では、複数のPLAが同時に動作可能になることがある。例えば、OPコードによって要求された異なった機能を実行するために、サブルーチンPLA36及び60が同時に動作し得る。その場合、サブルーチンPLA36がなお増分されて動作を続けている時に、サブルーチンPLA60が休止状態まで増分されて、第2レベルのサブルーチンPLA64に制御を渡している、といった事態が生じ得る。ただし、メインライン

PLA34を含むどのPLAが休止状態になったとしても(複数のPLAが休止することもある)、それらのPLAからの所期の制御点信号を動作状態にあるPLAからの制御点信号と組合せて用いることができる。かくして、従来技術とは異なり、本発明ではマイクロワード・シーケンスの各マイクロワードの同時発生が可能である。また、活動化されたPLAから該PLAを活動化したPLAへの自動戻り分岐が可能なので、融通性のある効率的なオペレーションを行える。

第4図の実施例でメインラインPLA34の凍結を解除するには、第1レベルの1つのサブルーチンPLAがメインラインPLA34のシーケンス・カウンタ(SC)を増分させるデータ・ビットを供給する状態になればよい。すなわち、第1レベルの1つのサブルーチンPLAがその作業を終ると、メインラインPLA34の増分が再開される。また、プログラミングによって、第1レベルのすべてのサブルーチンPLAがそれぞれの機能を終えた後に、メインラインPLAの動作を再

開させるようにすることもできる。第1レベルの最後のサブルーチンPLAの動作終了をメインラインPLAの増分再開の条件にしてもよい。

PLAの活動中はハザードや論理的レース条件が生じないような信頼性の高いオペレーションを行うため、例えば2重ラッチ型のレベル・センシティブ・スキャン設計(LSSD)機構を用いることができる。

第5図に示すように、LSSD機構では、シーケンス・カウンタの1ビットを表わすのに2つのラッチL1及びL2を使用する。ラッチL1は ϕ クロックにตอบสนองしてORアレイからの出力をラッチする。次の ϕ クロックで、ラッチ情報はL1からL2へ転送され、それによりPLAの状態が次に進んで、そのORアレイから新しい出力が発生される。この出力は前と同様にラッチL1に入る。これから明らかなように、状態(アドレス)のデータ・ビット値は ϕ クロックが印加されるまでは変化しない。 ϕ クロック及び ϕ クロックは重なり合うことのない排他的なクロックで

あり、活動化されたサブルーチンPLAからの制御点によって該PLAを活動化したPLAを増分する時にどのような論理的レース条件も生じないようにするためには、両クロック間に適切な間隔をとっておく必要がある。

第6図は1つのサブルーチンPLAを繰返し動作させるための機構を示している。繰返し動作を可能にするため、サブルーチンPLAのORアレイ中にサブルーチン符号化数フィールドを設ける。例えば、メインラインPLAの符号化数フィールドからのデータ・ビットをゲートするため、サブルーチン活動化を表わすデータ・ビットが線G6からラッチ68へ送られる。既存の制御フィールドの機能と競合しなければ、サブルーチン活動化データ・ビットをその制御フィールドに含めることができる。図示のように、このフィールドの論理的な意味を時分割ベースで区別するためには、若干の制御論理が必要である。ハザードのない動作を可能にするため、第6図の実施例でも第5図と同様のラッチ機構を使用している。

各PLAのシーケンス・カウンタの動作は前と同じであるから、それらの制御は第6図には示していない。第6図の実施例によれば、同じサブルーチンPLA内で異なった場所への自動分岐を行うことができる。第6図の実施例は、特定の機能を何回も繰返し実行しなければならない場合に有用である。繰返しを終らせる場合は、サブルーチン活動化データ・ビットをオフにすればよい。

E. 発明の効果

本発明はサブルーチン動作をPLAで実行するので、その内容を適切に設定することによって計算機マイクロコードを効率よく使用することができる。

4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図。

第2図はPLAを使用した従来のデータ・プロセスを示すブロック図。

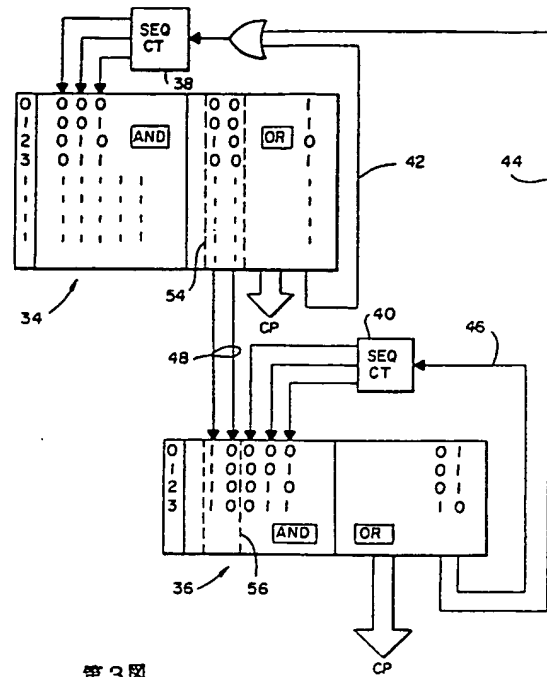
第3図はメインラインPLA及びサブルーチンPLAの相互接続をそれらの各アレイの具体的内容と共に示すブロック図。

第4図はメインラインPLAと異なったレベルにある複数のサブルーチンPLAとの関係を示すブロック図。

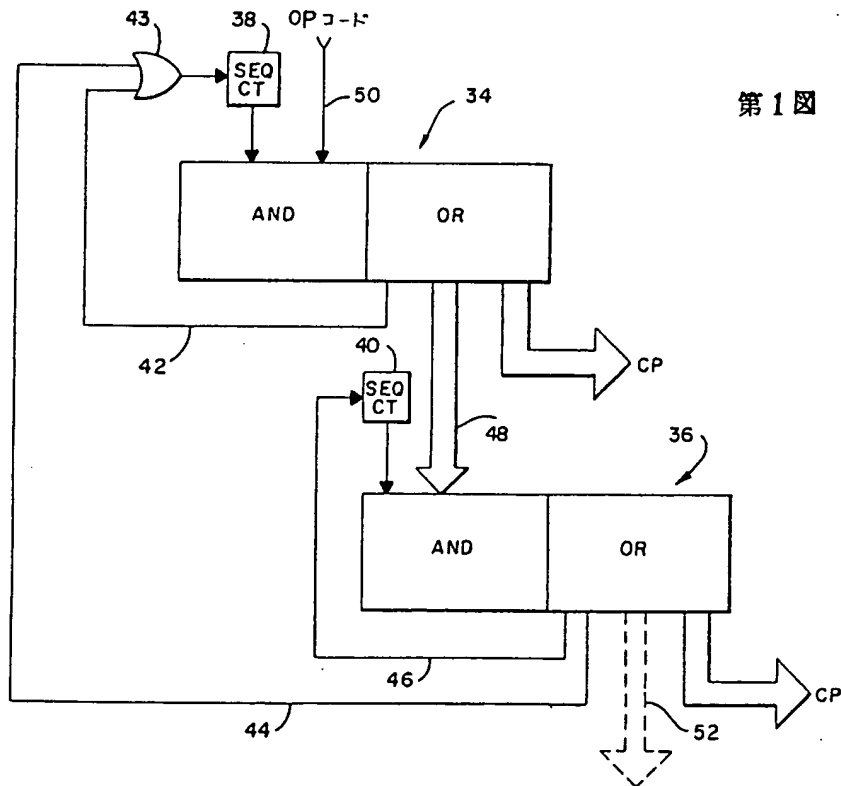
第5図はPLAの動作に信頼性を持たせるための2重ラッチ機構を示すブロック図。

第6図はサブルーチンPLAの繰返し動作を可能にする構成を示すブロック図。

出願人 インターナショナル・ビジネス
マシナズ・コーポレーション
代理人 弁理士 碩 宮 孝 一
(外1名)

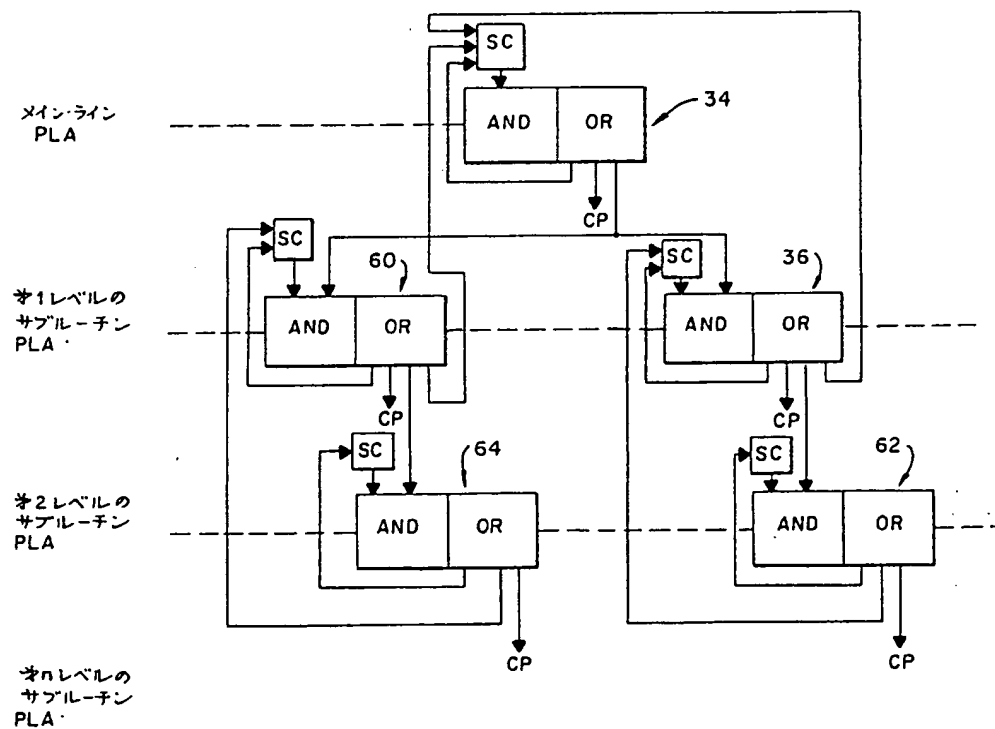
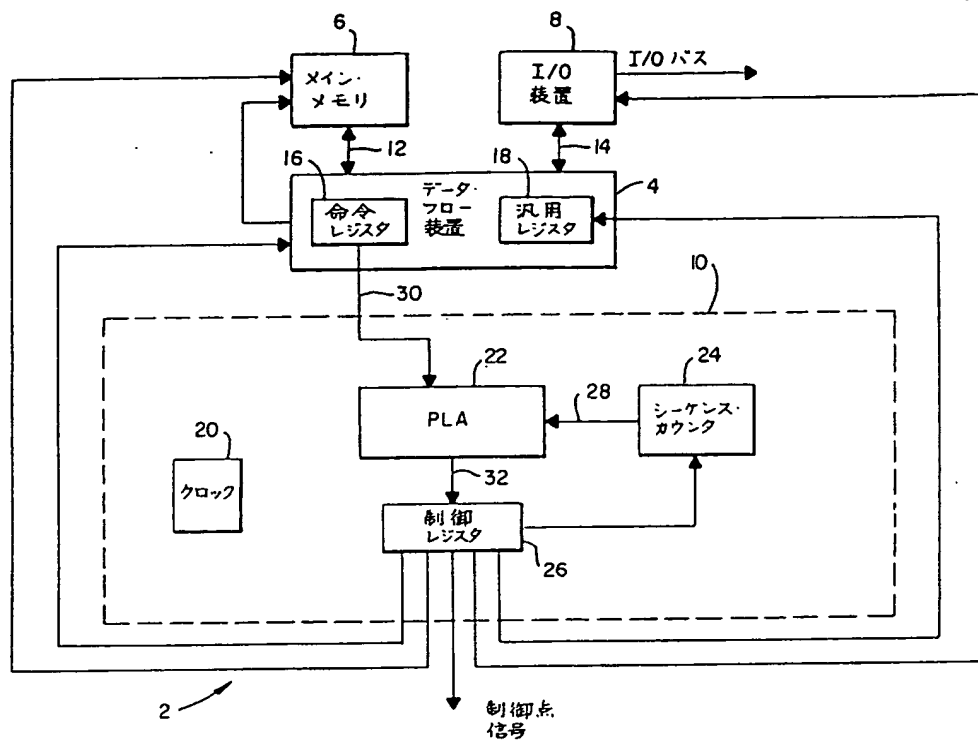


第3図

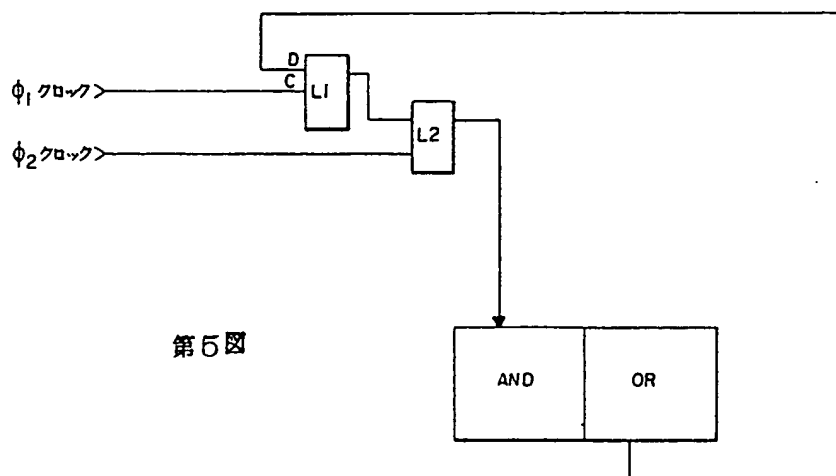


第1図

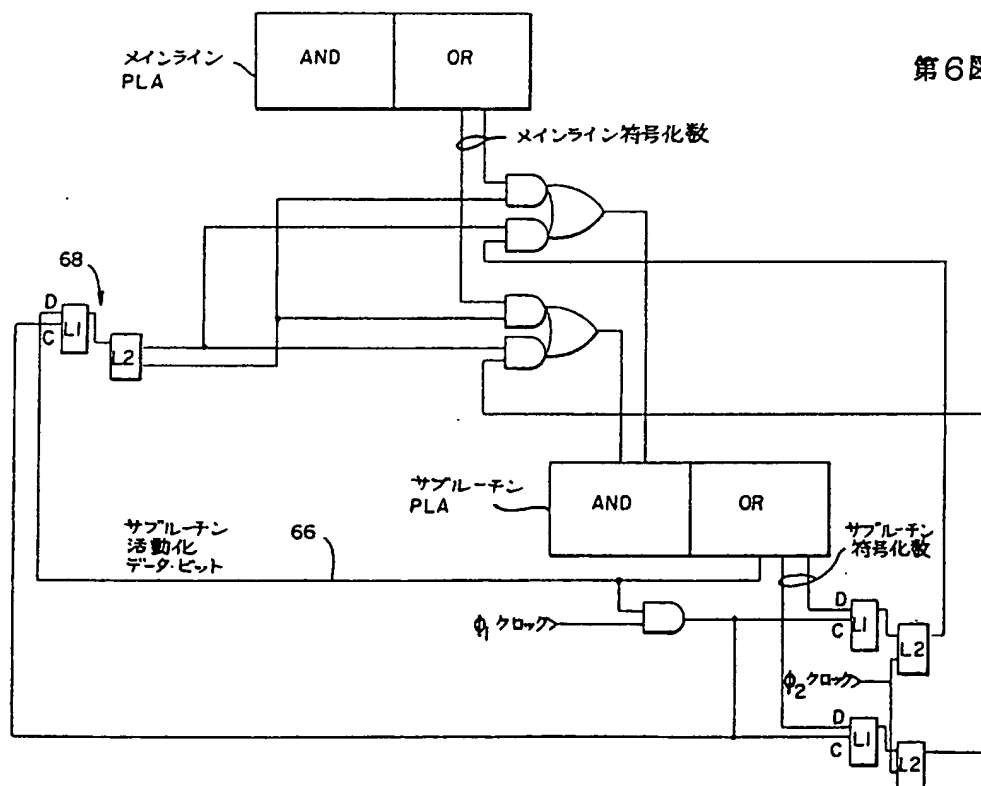
第2図



第4図



第5図



第6図